

Bistabile Kippstufen in der Digitaltechnik

(Flipflop, Folgeschaltungen)

Es 02

2 Blätter

1 Prinzip

Bei den in FtA Es 01 behandelten Grundschaltungen (UND, ODER, NAND, NOR) ist das Ausgangssignal dadurch bestimmt, welche Signale im betrachteten Zeitpunkt an den Eingängen liegen. Die bistabilen Kippstufen dagegen haben Speichereigenschaft. Der Signalzustand am Ausgang kann in dem betrachteten Zeitpunkt von den anliegenden Eingangssignalen und/oder von einem Eingangssignal-Zustand bestimmt sein, der vor diesem Zeitpunkt vorhanden war. Das heißt, der zu einer Zeit t durch entsprechende Eingangssignale erzeugte Ausgangszustand bleibt erhalten, auch wenn in der Zwischenzeit die Eingangssignale abgeschaltet oder geändert wurden.

Man spricht deshalb von Folgeschaltungen, Zeitfolgeschaltungen (sequentiell network). Ihr besonderes Kennzeichen ist das Vorhandensein einer Rückkopplung vom Ausgang zum Eingang. Die einfachste Zeitfolgeschaltung ist das Flipflop. Mit diesem Ausdruck soll, wie bekannt, angedeutet werden, daß am Ausgang lediglich ein Wechsel zwischen zwei definierten Signalzuständen (flip und flop) erfolgen kann. Seine Eigenschaften:

Beide Zustände sind stabil. Der Wechsel erfolgt durch ein entsprechendes Eingangssignal oder eine Kombination verschiedener Eingangssignale. Der eingestellte Zustand, ausgedrückt durch das Ausgangssignal, kann aber auch trotz Eingangssignaländerung gespeichert bleiben. Erwähnt sei, daß natürlich bei Störungen in der Stromversorgung die gespeicherte Information verloren geht.

2 Aufbau

Im allgemeinen verwendet man dafür zwei NAND- oder zwei NOR-Glieder. Eine solche Schaltung ist symmetrisch. Jedes der Glieder erzeugt eine Phasendrehung von 180° , die Drehung über zwei Stufen ist also 360° bzw. 0° . Steht am Ausgang Q_1 das L-Signal, dann steht an Q_2 das O-Signal, d. h. die Ausgangssignale sind antivalent¹⁾.

2.1 Das NAND-Flipflop

Es wird aus zwei NAND-Gliedern (-Gattern), wie sie in FtA Es 01, Bild 12, gezeigt sind, aufgebaut (Bild 1).

Die Bedingung für ein NAND-Glied lautet (s. Es 01, Abschnitt 4.3): An der Ausgangsklemme eines NAND-Gliedes erscheint nur dann der Signalspannungswert O, wenn an allen Eingangsklemmen der Signalspannungswert L liegt. Diese Bedingung wird durch die Schaltung von Bild 1 erfüllt. Nur, wenn an E_1 und E_3 die Spannung U_B steht, sind die Dioden D_1 und D_3 gesperrt und der Transistor T_1 erhält über R_1 , D_5 eine positive Basisspannung, so daß er leitend wird und an seiner Ausgangsklemme A_2 die Spannung 0 V steht.

Das Umschalten von dem einen stabilen Zustand in den anderen läuft in folgender Weise ab: Als Beispiel dafür sei

¹⁾ Die Ausgänge werden teils mit A_1 , A_2 , mit Q_1 , Q_2 oder mit Q , \bar{Q} bezeichnet. In Es 02 wird generell die positive Logik angewendet (s. Es 01, Abschn. 6).

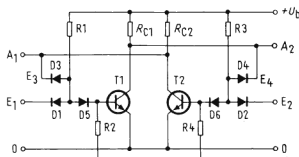


Bild 1. Schaltung eines NAND-Flipflops. E_1 und A_1 , bzw. R und Q_1 sind einander so zugeordnet, daß ein L am Eingang eines Feldes (Bild 2 rechts) ein L am Ausgang desselben Feldes bewirkt

der bereits erwähnte Zustand angenommen, daß sich Transistor T_1 im leitenden und Transistor T_2 im gesperrten Zustand befinden, d. h.

an E_1 liegt $+U_B$,

T_1 ist leitend,

A_2 (E_4) führt die Spannung 0 V,

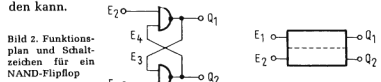
an E_2 0 V

T_2 gesperrt

A_1 (E_3) die Spannung U_B .

Nun wird an E_1 0 V, an $E_2 + U_B$ gelegt. D_1 wird leitend, so daß an der Basis von T_1 nun $-U_B$ steht. Dadurch wird T_1 gesperrt und A_2 (E_4) erhält die Spannung $+U_B$. Da nun die beiden Dioden D_2 und D_4 gesperrt sind, bekommt die Basis von T_2 positive Spannung über R_3 , D_6 . Der Transistor T_2 wird leitend und die Spannung an A_1 (E_3) 0 V.

Man beachte, daß ein NAND-Flipflop nur durch den Signalspannungswert O an einem der Eingänge umgeschaltet werden kann.



Die Schaltzustände eines NAND-Flipflops

E_2	E_1	Q_1	Q_2
O	O	L	L
O	L	L	O
L	O	O	L
L	L	Speicherstellung	

Speicherstellung heißt: Der Schaltzustand ändert sich nicht, der vorhergehende Zustand bleibt erhalten.

Verkörpert man die NAND-Glieder durch ihre Schaltzeichen, erhält man Bild 2.

2.2 Das NOR-Flipflop

Es wird aus zwei NOR-Gliedern (-Gattern), wie sie in Es 01, Bild 15 gezeigt sind, aufgebaut (Bild 3).

Die Bedingung für ein NOR-Glied lautet (s. Es 01, Abschnitt 5.3): An der Ausgangsklemme des NOR-Gliedes erscheint der Signalspannungswert O, wenn nur an einer Ein-

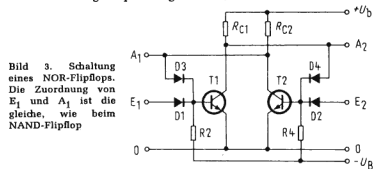


Bild 3. Schaltung eines NOR-Flipflops. Die Zuordnung von E_1 und A_1 ist die gleiche, wie beim NAND-Flipflop

gangsklemme der Signalspannungswert L liegt. Diese Bedingung wird durch die Schaltung von Bild 3 erfüllt. Denn, wenn an E_1 die Spannung U_B liegt, erhält der Transistor T_1 eine positive Basisspannung, er kommt in den leitenden Zustand und die Spannung A_2 wird 0 V.

Die Umschaltung in den zweiten, stabilen Zustand geschieht in folgender Weise.

An E_1 wird 0 V, an $E_2 + U_B$ gelegt. Der Transistor T_2 erhält eine positive Basisspannung, denn D_3 ist gesperrt, da A_2 noch die Spannung 0 V führt. T_2 wird demnach leitend und die Spannung an A_1 0 V. Nun wirkt über R_2 die Spannung $-U_B$ auf die Basis des Transistors T_1 und sperrt ihn, so daß an A_2 der Signalspannungswert L erscheint.

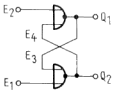
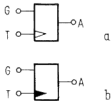


Bild 4. Funktionsplan und Schaltzeichen für ein NOR-Flipflop



◀ Bild 7. Schaltzeichen, a) für positiven Impuls, b) für negativen Impuls

Man beachte, daß ein NOR-Flipflop nur durch den Signalspannungswert L an einem der Eingänge umgeschaltet werden kann.

Die Schaltzustände eines NOR-Flipflops

E ₂	E ₁	Q ₁	Q ₂
O	O	Speicherstellung	
L	O	O	L
O	L	L	O
L	L	O	O

Bild 4 zeigt das NOR-Flipflop, dargestellt mit Digitalschaltzeichen.

3 Eingangsschaltungen

Man unterscheidet:

statisch und dynamisch wirkende Eingangsschaltungen.

Im Fall der statisch wirkenden Eingangsschaltungen besteht Gleichstromkopplung zwischen der Signalquelle und dem angesteuerten Verknüpfungsglied.

Eine dynamisch wirkende Eingangsschaltung spricht auf den Spannungsprung bei Übergang von dem einen in den anderen Signalzustand an. Das Ansprechen kann einem O → L-Übergang (ansteigende Flanke) oder bei einem L → O-Übergang (abfallende Flanke) erfolgen. Maßgeblich für das Ansprechen ist die Änderungsgeschwindigkeit. Solche „dynamischen Eingänge“ nennt man Impuls- oder Triggereingänge. Ihre Aufgabe wird schon durch das Wort „Trigger“ angedeutet, soll aber an einem einfachen Beispiel erläutert werden.

3.1 Impuls- oder Triggeregatter, Impuls- oder Triggereingang

Diese Schaltungen haben zwei Eingänge: einen statischen oder Vorbereitungs-Eingang G, einen dynamischen oder Impuls-Eingang T (Bild 5).

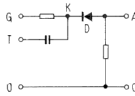
Die Ausgangsspannung ist von dem Zustand an G und von der Änderungsgeschwindigkeit des Signalspannungswertes am Eingang T, also von du/dt, abhängig.

Aus der Schaltung von Bild 5 ist folgendes abzulesen. Liegt an G der Signalspannungswert L, ist die Diode D gesperrt. Sie ist dagegen leitend, wenn an G die Spannung 0V steht. Ein Spannungsprung von O → L wird von D gesperrt, ein Sprung von L → O dagegen erzeugt an A (für G = O), einen negativen Impuls. Diese Abhängigkeit kann in einem Zeitdiagramm (Bild 6) dargestellt werden.

Ein solches Gatter wirkt wie eine UND-Verknüpfung zwischen G und T. Das dafür verwendete Schaltzeichen bringt Bild 7. Das Schaltzeichen mit unausgefüllter Pfeilspitze bedeutet einen Sprung von O → L (Bild 7a), mit ausgefüllter Pfeilspitze einen Sprung von L → O (Bild 7b). Es gibt naturgemäß vier Kombinationen für solche Impulsregatter (Bild 8).

4 Asynchroner und synchroner Betrieb von Flipflops in Netzwerken

Ein ohne zusätzlichen Impulseingang betriebenes Flipflop schaltet im Prinzip sofort nach Anlegen der Eingangssignale. Allerdings tritt eine, normalerweise nicht störende, Schaltverzögerung (Laufzeitverzögerung) auf. Sie kann dann aber störend sein, wenn in Netzwerken Flipflops in Ketten hinter-



◀ Bild 5. Impulsregatter für negativen Ausgangsimpuls

Kombination	G	T	A
1	O	O	→ L pos. Imp.
2	O	L	→ O neg. Imp.
3	L	O	→ L pos. Imp.
4	L	L	→ O neg. Imp.

▶ Bild 8. Die vier Kombinationen für die Schaltung eines Impulsregatters

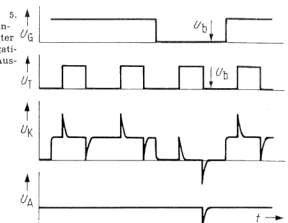


Bild 6. Zeitlicher Verlauf der Signalspannungen am Impulsregatter von Bild 5

einander und parallel geschaltet werden. Denn bei einer Serienschaltung werden Flipflops nicht gleichzeitig, sondern es wird eins nach dem anderen geschaltet. (asynchroner Betrieb).

Abhilfe kann man dadurch schaffen, daß die Flipflops je einen Impulseingang erhalten. Diese werden mit Taktimpulsen so gesteuert, daß die Flipflops zu vorgegebenen Zeitpunkten schalten (synchroner Betrieb).

Die Vorbereitungseingänge müssen dann nicht nur vorbereitend, sondern auch speichernd wirken, d. h. sie müssen das Vorbereitungssignal so lange speichern, bis der Taktimpuls das Flipflop geschaltet hat, also der Signalspannungswert des G-Eingangs in den Speicher gesetzt ist.

Ferner muß die Zeit zwischen zwei Taktimpulsen größer als die Schaltverzögerung in den betrachteten Stufen sein.

5 Flipflop-Arten

5.1 RS-Flipflop (auch SR-Flipflop genannt)

Die Bezeichnung RS leitet sich ab aus: set = setzen und reset = löschen. Dieses Flipflop setzt sich aus zwei Schaltteilen zusammen, einem NAND-Flipflop und einer zusätzlichen Verknüpfungsschaltung für die Vorbereitungseingänge R/S und den Takteingang T, also einem Triggeregatter. Ein Beispiel dafür zeigt Bild 9. Das Triggeregatter liefert einen negativen Impuls, mit dem das Flipflop geschaltet wird.

Es liege am Eingang R die Spannung 0 V, am Eingang S dagegen U_b, der Impuls an T springe von 0 V auf U_b, dann läßt sich C₂, wie in Bild 9a angegeben, auf C₃ dagegen entlädt sich, da an beiden Anschlüssen jetzt die Spannung U_b liegt. Beim Zurückspringen des Taktimpulses auf den Wert 0 V erhält der R-Eingang kurzzeitig die Spannung -U_b (Bild 9b), das NAND-Flipflop wird geschaltet. Der Vorteil des getakteten Schaltens besteht nicht nur darin, daß der Schaltvorgang zu einem vorgegebenen Zeitpunkt, wie für synchronen Betrieb erforderlich, erfolgt, sondern daß auch die Störanfälligkeit der Vorbereitungseingänge reduziert wird. Störungen auf diesen Eingängen spielen nur im Zeitpunkt des Schaltens eine Rolle.

5.2 Das D-Flipflop (delay-flipflop)

Dieses Flipflop besitzt nur einen Vorbereitungseingang D. Wie Bild 10 zeigt, ist der Eingang D mit R direkt, mit S dagegen über eine Umkehrstufe verbunden. Die jeweils am Eingang D liegende Information wird bei dem nächstfolgenden Taktimpuls im Flipflop gespeichert. Diese Tatsache kann man auch aus der Funktionstabelle ablesen. Sie lautet für das D-Flipflop:

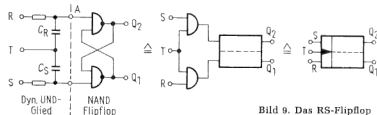


Bild 9. Das RS-Flipflop

D_n	Q_{n+1}
O	O
L	L

Mit n wird der Zustand eines Signals zu Zeitpunkt t_n (n -ter Taktimpuls), mit $n + 1$ zu dem Zeitpunkt t_{n+1} , also des nächsten auf t_n folgenden Taktimpulses, angegeben.

Bild 10a zeigt, wie das Impulsgeratter (die Steuerschaltung) gestaltet sein muß, damit die Bedingungen der Funktionstabelle erfüllt werden. Die an wichtigen Punkten der Schaltung auftretenden Signalspannungswerte zeigt *Tabelle 1*. Sie ist unter Zuhilfenahme der Tabellen von Abschnitt 2.1 und von Es 01, Abschnitt 4.4 erarbeitet. Man sieht, daß die Bedingungen der Funktionstabelle erfüllt werden, und daß das Impulsgeratter mit NAND-Gliedern bestückt werden muß, damit im Fall $C \triangleq O$ an beiden Eingängen des NAND-Flipflops L-Signale auftreten und dieses deshalb in Speicherstellung bleibt. Dieses D-Flipflop wird für Schieberegister verwendet.

Tabelle 1.

D-Eingang	C-Eingang	Eingang NAND-Glied 1		Eingang NAND-Glied 2		Flip-flop-Eingang S	Flip-flop-Eingang R	Flip-flop-Ausgang	
		Q_1	Q_2	Q_1	Q_2				
L	L	L	L	O	L	O	L	L	O
O	L	O	L	L	L	L	O	O	L
L	O	L	O	O	O	L	L	Speicherstellung	

5.3 Das T-Flipflop (Trigger-Flipflop)

Die Schaltung ergibt sich aus *Bild 11*. Man erkennt, daß dem Flipflop zwei Impulsgeratter mit je zwei Vorbereitungseingängen G_1, G_3 und G_2, G_4 vorgeschaltet sind. Dabei ist G_4 mit Q_1 , ferner G_3 mit Q_2 verbunden und G_1 bildet mit G_2 den Anschluß T.

Über den Impulseingang wird der Taktimpuls zugeführt. Man beachte, daß hier mit T nicht der Eingang für die Taktimpulse bezeichnet wird. Um Verwechslungen zu vermeiden, wurde hier die in der Literatur übliche Bezeichnungweise übernommen, wonach T der gemeinsame Anschluß für zwei Vorbereitungseingänge ist.

Die Arbeitsweise des T-Flipflops ist folgende: Liegt an T der Signalspannungswert O, ändert sich der Ausgangszustand nicht. Liegt aber der Wert L an T, kippt das Flipflop bei jedem Taktimpuls von dem einen stabilen Zustand in den anderen. Man erhält nachstehende Funktionstabelle:

T_n	Q_{n+1}
O	Q_n
L	\bar{Q}_n

\bar{Q}_n ist der antivalente Zustand zu Q_n . Ist z. B. $Q_n = L$, ist $\bar{Q}_n = O$ und umgekehrt.

Um diese Arbeitsweise zu erreichen, sind, wie *Bild 11a* zeigt, dem RS-Flipflop zwei NAND-Glieder vorzuschalten. Dann erhält man beim Schalten von T folgende Signalspannungswerte:

T	E_3	E_4	S	R	Q_1	Q_2
-	-	-	-	-	L*	O*
L	O	L	L	O	O	L
O	L	O	O	L	Speicherstellung	
L	L	O	L	L	L	O

*) Angenommener Ausgangszustand

Man benutzt dieses Flipflop für Zähleraltungen. Da das T-Flipflop erst nach jedem zweiten Taktimpuls wieder in die Ausgangslage kommt, arbeitet es auch als Binäruntersetzer für die Taktfrequenz.

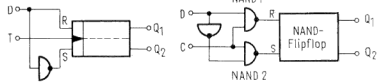
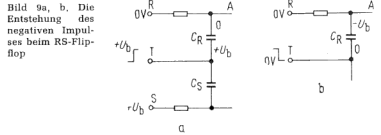


Bild 10. Das D-Flipflop

Bild 10a. Schaltungsfunktionsplan für das D-Flipflop

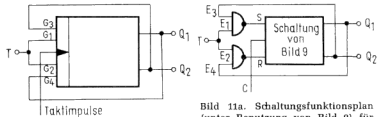


Bild 11. Das T-Flipflop

Bild 11a. Schaltungsfunktionsplan (unter Benutzung von Bild 9) für das T-Flipflop

5.4 JK-Flipflop

Dem JK-Flipflop fällt die Aufgabe zu, ein Speicherelement darzustellen, das möglichst universal angewendet werden kann. Es wird wie das T-Flipflop aufgebaut (Abschnitt 5.3), aber die beiden Vorbereitungseingänge E_1 und E_2 werden nicht zu einem T. genannt, zusammengefaßt, sondern getrennt herausgeführt. Damit lassen sich folgende Flipflops nachbilden:

- Das T-Flipflop, wenn man E_1 und E_2 gemeinsam ansteuert, *Bild 12a*;
- das RS-Flipflop, wenn man E_1 und E_2 getrennt ansteuert, *Bild 12b*;
- das D-Flipflop, wenn man ein Umkehrglied vorsetzt, *Bild 12c*.

Das JK-Flipflop findet man noch in einer anderen Ausführungsform, nämlich dann, wenn es in monolithisch integrierter Form gefertigt wird. Bei dieser Technik bereitet es große Schwierigkeiten, die für Trigger-eingänge notwendigen Kapazitäten darzustellen. Man muß also einen anderen Weg suchen, um die Verknüpfung zwischen Vorbereitungssignal und Taktimpuls zu erreichen. Man verwendet „Zwei-Speicher-Schaltungen“:

- Vorspeicher → Hauptspeicher, oder
- Master (Meister) → Slave (Sklave) oder
- Hauptflipflop → Hilfs-Flipflop (*Bild 13*)

Der zu einer solchen Anordnung führende Gedanke ist insofern nicht überraschend, als ja ein Impulseingang neben seiner UND-Verknüpfung auch noch eine speichernde Eigenschaft haben muß (s. Abschnitt 4).

5.5 JK-Master/Slave-Flipflop, JK-MS-Flipflop

Die Information wird vom Eingang in zwei Schritten in den Hauptspeicher gesetzt. Der erste Schritt erfolgt bei dem Signalspannungswert L des Taktimpulses, die Information gelangt in den Vorspeicher. Geht der Taktimpuls auf den

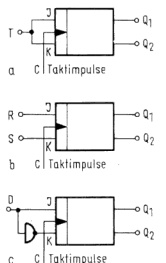
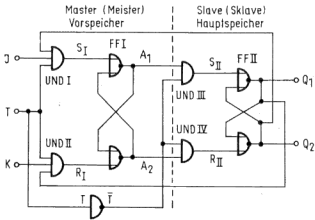


Bild 12. a = Das JK-Flipflop, verwendet als T-Flipflop; b = das JK-Flipflop, verwendet als RS-Flipflop; c = das JK-Flipflop, verwendet als D-Flipflop



◀ Bild 13. Das JK-MS-Flipflop (Funktionsplan)

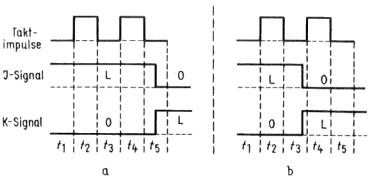


Bild 14. Schaltfolgediagramm für das JK-MS-Flipflop, dargestellt ist der Verlauf der Signalspannungswerte am Impulseingang und den JK-Eingängen

Wert 0, erfolgt der zweite Schritt, und die Information gelangt in den Hauptspeicher.

Es sind keine steilen Flanken für das Taktsignal erforderlich.

Bild 13 bringt ein Beispiel für den Aufbau eines solchen Flipflops. Die Tabelle 2 zeigt, welche Signalspannungswerte sich zu verschiedenen Zeiten an verschiedenen Stellen der Schaltung einstellen. Dabei wird durch Bild 14 deutlich gemacht, welche Bedeutung die Zeitangaben in der Tabelle $t_1 \dots t_4$ haben. Im Fall a habe sich (Annahme) im Zeitpunkt t_4 die Kombination der Werte für J und K nicht geändert, im Fall b dagegen sei eine Änderung zur Zeit t_5 erfolgt. Im einzelnen ist aus der Tabelle 2 abzulesen:

Zeitpunkt t_1 : Die Signalspannungswerte O, L am Ausgang sind angenommen.

Zeitpunkt t_2 : Mit diesem Taktimpuls wird die JK-Information in FF I gespeichert. FF II wird dagegen nicht geschaltet, da an seinem Eingang die Wertekombination O, O steht und FF II deshalb in Speicherstellung verharrt.

Zeitpunkt t_3 : Im FF I ändert sich nichts, aber FF II wird jetzt umgeschaltet.

Zeitpunkt t_4 : Im Fall a (s. o.) ändert sich nichts. FF I verbleibt in seiner Speicherstellung, im Fall b dagegen wird die neue JK-Information in FF I gesetzt. FF II behält noch seinen alten Zustand.

Zeitpunkt t_5 : Im Fall b wird nun die geänderte Information an den Eingängen JK in das FF II gesetzt.

Literatur

- Dokter, F., und Steinhauer, J.: Digitale Elektronik in der Meßtechnik und Datenverarbeitung. Philips Fachbücher, Deutsche Philips GmbH, Hamburg.
- Elektronik-Arbeitsblatt Nr. 47. Bistabile Kippstufen aus NAND- und NOR-Schaltungen. Franzis-Verlag, München.
- Digitale integrierte Schaltungen. Telefonen-Fachbuch, Elitera Verlag, Berlin.
- Korthals Altes, J. Ph., und Schanz, G. W.: Logische Schaltungen mit Transistoren. Philips Taschenbücher, Deutsche Philips GmbH, Hamburg.
- Schaltzeichen der Digitaltechnik und ihre Bedeutung. Funktechnische Arbeitsblätter Es 01. Franzis-Verlag, München.

Tabelle 2. Signalspannungswerte am JK-MS-Flipflop (s. Bild 13 und 14)

Zeit t	UND-Glied I		UND-Glied II		Flipflop I		UND-Glied III		UND-Glied IV		Flipflop II						
	Eingang	Ausgang	Eingang	Ausgang	Eingang	Ausgang	Eingang	Ausgang	Eingang	Ausgang	Eingang	Ausgang					
	J	T	Q ₂	S _I	K	T	Q ₁	R _I	R _I	S _I	A ₁	A ₂	R _{II}	R _{II}	S _{II}	Q ₁	Q ₂
t_1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	O	L
t_2	L	L	L	L				L	O	O	O	O			O	O	L
t_3	L	O	L	O	O	O	O	O	L						O	L	L
t_4 a	L	L	O	O	O	O	O	O	L						O	L	L
t_4 b	O	L	O	O				L	L	O	O	O			O	L	L
t_5 b	O	O	O	O	L	L	L	L	L	L	L	L			L	O	L